



Системи автоматизованого проектування комп'ютерних систем

Робоча програма навчальної дисципліни (Силабус)

"" 4кр 120 годин 54 аудит 36 лекц - 18 лаб - 66 самот залік МКР Прохання - переробити
силабус

Реквізити навчальної дисципліни

Рівень вищої освіти	<i>Перший (бакалаврський)</i>
Галузь знань	<i>12 Інформаційні технології</i>
Спеціальність	<i>123 Комп'ютерна інженерія</i>
Освітня програма	<i>Комп'ютерні системи та мережі</i>
Статус дисципліни	<i>Нормативна</i>
Форма навчання	<i>очна</i>
Рік підготовки, семестр	<i>4 рік (9 семестр)</i>
Обсяг дисципліни	<i>4 кредитів (ECTS). Виділення часу -120 годин, включаючи 54 аудиторних години та 66 годин самостійного навчання</i>
Семестровий контроль/ контрольні заходи	<i>залік</i>
Розклад занять	<i>1.5 заняття на тиждень, розклад на http://rozklad.kpi.ua/</i>
Мова викладання	<i>Українська</i>
Інформація про керівника курсу / викладачів	Лектор і викладач лабораторних занять: д.т.н., с.н.с., Анатолій Михайлович Сергієнко, email anat.srg@gmail.com , web page http://kanyevsky.kpi.ua
Розміщення курсу	Лекційний матеріал: https://bbb.comsys.kpi.ua/b/ana-22m-tre Методичні рекомендації: https://kanyevsky.kpi.ua/студентам/технології-проекування-компютерн/

Програма навчальної дисципліни

1. Опис навчальної дисципліни, її мета, предмет вивчення та результати навчання

Викладання основ автоматизованого проектування КС в університеті має такі аспекти:

Академічний аспект. Системи автоматизованого проектування КС - це наука, яка дає прикладні знання. Мета - ознайомити студентів з основними поняттями та методами автоматизованого проектування сучасних складних технічних засобів.

Професійний аспект. Сьогодні множина архітектур мікропроцесорів, реалізованих на кристалі, стрімко розширюється. Програмовані логічні інтегральні схеми (ПЛІС) стають невід'ємним атрибутом технології вбудованих обчислювальних засобів. Зростає потреба в інженерах-проектувальників, які володіють технологіями проектування систем на кристалі (СНК). Від них

вимагається вміння описувати мовою VHDL або Verilog пристроїв із заданою функціональністю, включаючи мікропроцесор, переналагоджувати готові блоки під вимоги проекту, з'єднувати модулі в структуру СНК і програмувати вбудоване матзабезпечення. Мета цього курсу – сформувати навички використання мови VHDL для опису апаратних проектів середньої складності, які реалізуються в ПЛІС. Основу лабораторних робіт становить проектування вузлів мікропроцесорів з використанням мови VHDL і відповідних засобів САПР, включаючи симулятор VHDL і компілятор-синтезатор логічних схем. Студент, який виконує курс лабораторних робіт, вивчає не тільки основи схемотехніки мікропроцесорів, але і сучасну технологію їх проектування для реалізації в ПЛІС.

Інтелектуальні та освітні аспекти. Вивчення систем автоматизованого проектування КС сприяє розвитку когнітивних навичок, що є суттєвим інтелектуальним фактором у процесі створення як апаратного, так і програмного забезпечення.

В результаті вивчення цієї дисципліни досягаються такі результати навчання.

Компетенції:

- ЗК1 здатність до абстрактного мислення, аналізу та синтезу;
- ЗК2 здатність до навчання та набуття сучасних знань;
- ЗК3 вміння застосовувати знання в практичних ситуаціях;
- ЗК7 Вміння виявляти, ставити та вирішувати проблеми.
- ФК1 Здатність застосовувати законодавчу та нормативно правову базу, а також державні та міжнародні вимоги, практики і стандарти з метою здійснення професійної діяльності в галузі комп'ютерної інженерії.
- ФК4 Здатність забезпечувати захист інформації, що обробляється в комп'ютерних та кіберфізичних системах та мережах з метою реалізації встановленої політики інформаційної безпеки.
- ФК5 Здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо.
- ФК6 Здатність проектувати, впроваджувати та обслуговувати комп'ютерні системи та мережі різного виду та призначення.
- ФК11 Здатність оформляти отримані робочі результати у вигляді презентацій, науково-технічних звітів.
- ФК14 Здатність проектувати системи та їхні компоненти з урахуванням усіх аспектів їх життєвого циклу та поставленої задачі, включаючи створення, налаштування, експлуатацію, технічне обслуговування та утилізацію.
- ФК15 Здатність аргументувати вибір методів розв'язування спеціалізованих задач, критично оцінювати отримані результати, обґрунтовувати та захищати прийняті рішення
- ФК16 Здатність проектувати, впроваджувати та обслуговувати високопродуктивні паралельні та розподілені комп'ютерні системи та їх складові з використання ПЛІС модулів і систем автоматизованого проектування

Знання:

- ПРН1 Знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж.
- ПРН2 Мати навички проведення експериментів, збирання даних та моделювання в

комп'ютерних системах.

- ПРН3 Знати новітні технології в галузі комп'ютерної інженерії.
- ПРН1 методи оптимізації проектних рішень.

Навички:

- ПРН6 Вміти застосовувати знання для ідентифікації, формулювання і розв'язування технічних задач спеціальності, використовуючи методи, що є найбільш придатними для досягнення поставлених цілей.
- ПРН7 Вміти розв'язувати задачі аналізу та синтезу засобів, характерних для спеціальності.
- ПРН8 Вміти системно мислити та застосовувати творчі здібності до формування нових ідей.
- ПРН9 Вміти застосовувати знання технічних характеристик, конструктивних особливостей, призначення і правил експлуатації програмно-технічних засобів комп'ютерних систем та мереж для вирішення технічних задач спеціальності.
- ПРН11 Вміти здійснювати пошук інформації в різних джерелах для розв'язання задач комп'ютерної інженерії.
- ПРН13 Вміти ідентифікувати, класифікувати та описувати роботу комп'ютерних систем та їх компонентів.
- ПРН15 Вміти виконувати експериментальні дослідження за професійною тематикою.
- ПРН16 Вміти оцінювати отримані результати та аргументовано захищати прийняті рішення.
- ПРН20 Усвідомлювати необхідність навчання впродовж усього життя з метою поглиблення набутих та здобуття нових фахових знань, удосконалення креативного мислення.
- ПРН22 Виконувати розрахунки параметрів окремих блоків комп'ютерів, комп'ютерних систем, комп'ютерних мереж

2. Пререквізити та постреквізити дисципліни (місце в структурно-логічній схемі навчання за відповідною освітньою програмою)

Передумови, тобто дисципліни, вивчення яких має передувати вивченню цієї дисципліни:

- Дискретна математика.
- Програмування.
- Структури даних і алгоритми.
- Комп'ютерна логіка.
- Комп'ютерна електроніка.
- Архітектура комп'ютерів.
- Комп'ютерна графіка
- Інженерія програмного забезпечення
- Математичні методи оптимізації.
- Комп'ютерне моделювання
- Системи обробки сигналів.

Постреквізити - дисципліни, вивченню яких має передувати вивчення даної дисципліни:

- технології проектування комп'ютерних систем-2. Методологічне забезпечення САПР б'єктно-орієнтоване програмування;
- гібридні комп'ютерні системи;

- основи конструювання комп'ютерів;
- надійність комп'ютерних систем;
- дипломне проектування.

3. Зміст навчальної дисципліни

Тема 1: Хід проектування схем з VHDL

Особливості технології проектування схем за допомогою VHDL. Проектування систем на кристалі (СНК). Процес розробки обчислювального пристрою (ОП). Складність проектів СНК і можливості технології проектування. Технологія віртуальних модулів.

Моделі обчислювачів для VHDL. Основи VHDL. Відображення алгоритмів за допомогою VHDL. Синтез логічної схеми. Основні особливості VHDL. Послідовні оператори в VHDL. Паралельні оператори в VHDL. Процедури і функції. Пакети. Атрибути.

Тема 2: Технологія розробки систем на кристалі.

Процес розробки СНК на ПЛІС. Складність проектів СНК і можливості технології проектування. Технологія IP Cores. Сумісне апаратно-програмне проектування SOC. Системний синтез SOC. ПЛІС - як елементна база сучасної електроніки.

Будова і архітектура ПЛІС. Бібліотека IEEE для проектування пристроїв. Відображення алгоритмів на VHDL. Загальні вимоги до проектування систем на кристалі. Конструкції VHDL для синтезу. Стандартні пакети VHDL для синтезу. Проектування комбінаційних схем. Проектування арифметичних пристроїв. Проектування схем з пам'яттю. Проектування керуваних схем. Керування ходом синтезу. Програмування пам'яті.

Тема 3: Проектування конвеєрних обчислювачів.

Особливості конвеєрної обробки даних. Відображення алгоритму в апаратуру. Періодичні алгоритми. Граф синхронних потоків даних (ГСПД, SDF). Сигнальний граф. Класифікація графів потоків даних.

Проектування RISC-процесорів. Проектування спеціалізованих обчислювачів. Методика синтезу конвеєрного обчислювача. Оптимізація структури. Конвеєрне виконання алгоритму. Швидкодія ГСПД. Перетворення графа алгоритму в ациклічний ГСПД. Оптимізація графів алгоритму. Перспективи інтегральної технології. Перспективи ПЛІС.

4. Навчальні матеріали

Базова література

1. Сергієнко А.М. Системи автоматизованого проектування комп'ютерних систем. Конспект лекцій. <http://kanyevsky.kpi.ua/wp-content/uploads/>
2. Сергиенко А.М. VHDL для проектирования вычислительных устройств. К.: Диасофт. 2004. 219 с. <https://ua1lib.org/book/2374753/3022e5>
3. Сергиенко А. М., Корнейчук В. И. Микропроцессорные устройства на программируемых логических ИС.-К.: -"Корнейчук".-2005.-108с. <http://kanyevsky.kpi.ua/wp-content/uploads/2017/09/MikroprFPGA.pdf>

Додаткова література

1. Каневский Ю. С. Компьютерная арифметика. Киев:-ДиаСофт.-1994,-234 с. http://kanyevsky.kpi.ua/wp-content/uploads/2017/09/Arithmet_A5.pdf

2. Ashenden P.J., Lewis J. The designer's guide to VHDL. 3-d Ed. Morgan Kaufman. 909 p.
https://www.academia.edu/9455362/The_Designers_Guide_to_VHDL
3. Харрис Д. М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. Изд-во Морган Кауфман. 2013. Перевод MIPS Imagination. <https://microelectronica.pro/wp-content/uploads/books/digital-design-and-computer-architecture-russian-translation.pdf>
4. Khan S.A. Digital Design of Signal Processing Systems. A practical Approach. Wiley, 2011. 608 p.
https://www.academia.edu/34580646/A_Practical_Approach_DIGITAL_DESIGN_OF_SIGNAL_PROCESSING_SYSTEMS_DIGITAL_DESIGN_OF_SIGNAL_PROCESSING_SYSTEMS_A_Practical_Approach
5. Наваби З. Проектирование встраиваемых систем на ПЛИС. –М.: Додэка. 2016. 465 с.
Слайди лекцій та керівництва до лабораторних робіт <https://kanyevsky.kpi.ua/студентам/презентації-лекційного-матеріалу-3-в/>
Обладнання, що необхідно для проведення занять.
Лекційні заняття проводяться в аудиторії, яку обладнано проектором, практичні заняття – в комп'ютерному класі. Для виконання лабораторних робіт використовується студентська версія САПР ActiveHDL.

Навчальний контент

5. Методика опанування навчальної дисципліни (освітнього компонента)

Навчальний зміст дисципліни складається з лекцій та лабораторних робіт.

Лекції.

Тема 1: Хід проектування схем з VHDL

Лекція 1. Вступ.

Нова золота ера комп'ютерних архітектур. Підручники, презентації лекційного матеріалу, лабораторні роботи. Рейтингова система оцінювання. Особливості технології проектування схем за допомогою VHDL. Порівняння схемного і модельного проектування. САПР з VHDL. Проектування систем на кристалі (СНК). Процес розробки обчислювального пристрою (ОП). Продуктивність праці розробника ОП. Складність проектів СНК і можливості технології проектування. Технологія віртуальних модулів.

Лекція 2. Моделі обчислювачів для VHDL.

Основи VHDL. Типи даних, що підтримують опис апаратури. Оператори, атрибути, що підтримують поведінку системи в часі. Обчислювальна модель для реалізації VHDL. Архітектура симулятора VHDL. Апаратна модель для реалізації VHDL. Відображення алгоритмів за допомогою VHDL. Синтез логічної схеми.

Лекція 3. Основні особливості VHDL. Об'єкт проекту і архітектура. Об'єкти, типи і вирази мови VHDL. Entity - опис інтерфейса. Architecture - опис поведінки моделі. Поведінкова модель ОП. Типи даних в VHDL. Тип Standard Logic з пакету 1164. Сигнал, змінна, константа.

Лекція 4. Послідовні оператори в VHDL.

Процес і послідовні оператори. Список чутливості. Операції мови VHDL. Вирази мови VHDL. Оператор присвоювання сигналу. Оператори чекання події wait. Оператор присвоювання змінній. Умовні оператори. Оператор вибору. Оператор циклу. Виклик процедури і повернення з неї. Оператори Assert і Report.

Лекція 5. Паралельні оператори в VHDL.

Обчислювальна модель для реалізації VHDL. Паралельні оператори в VHDL. Оператор процесу. Список чутливості. Присвоювання сигналу. Паралельний виклик процедури. Вставка

екземпляра компонента. Оператор GENERATE. Оператор BLOCK. Паралельний оператор ASSERT і стенд для іспитів.

Лекція 6. Процедури і функції. Пакети.

Підпрограми. Виклик функції. Виклик процедури. Пакет. Перезавантаження підпрограм. Перетворення типів. Обчислювальна модель для реалізації VHDL. Структура програми. Entity і Architecture. Об'ява конфігурації.

Лекція 7. Атрибути.

Атрибути для скалярного типу. Атрибути для регулярного типу. Атрибути сигналів. Атрибути користувача. Псевдоніми. Мітки в програмі.

Тема 2: Технологія розробки систем на кристалі.

Лекція 8. Технологія розробки систем на кристалі.

Процес розробки систем на кристалі (СНК) на ПЛІС. Складність проектів SOC і можливості технології проектування. Технологія IP Cores. Сумісне апаратно-програмне проектування SOC. Системний синтез SOC. ПЛІС - як елементна база сучасної електроніки. Переваги використання ПЛІС. Приклади ефективного застосування ПЛІС.

Лекція 9. Будова і архітектура ПЛІС.

Апаратні ресурси ПЛІС Xilinx Virtex. Логічна таблиця. Тригер. Конфігуровний логічний блок. Реалізація багатовходових мультиплексорів. Розподілена пам'ять. Регістр зсуву з регульовною затримкою. Блочна пам'ять. Блок DSP48. Буфери вводу-виводу. Мережа розподілення синхросигналів. Блок множення-ділення частоти з цифровим чи фазовим зворотнім зв'язком.

Лекція 10. Бібліотека IEEE для проектування пристроїв.

Процес і послідовні оператори. Обчислювальна модель для реалізації VHDL. Апаратна модель для реалізації VHDL. Відображення алгоритмів на VHDL. Синтез логічної схеми. Загальні вимоги до проектування систем на кристалі. Принцип двохтактої синхронізації. Проектування з асинхронними тригерами. Принцип однотоктної синхронізації. Перекручування однотоктної синхронізації. Конструкції VHDL для синтезу. Пакет std_logic_1164. Кілька джерел сигналу і функція вирішення. Функції пакета std_logic_1164. Пакети std_logic_arith, std_logic_signed і std_logic_unsigned. Пакети numeric_bit і numeric_std.

Лекція 11. Проектування комбінаційних схем.

Комбінаційна схема за булевським рівнянням. Селективне присвоювання сигналу. Умовне присвоювання сигналу. Комбінаційна схема за умовним присвоюванням. Комбінаційна схема за викликом підпрограми. Комбінаційна схема за послідовним оператором. Приклад розробки комбінаційної схеми. Використання логіки з трьома станами. Довільний стан в Std_Logic. Непередбачувані асинхронні тригери. Проектування арифметичних пристроїв.

Лекція 12. Проектування схем з пам'яттю.

Непередбачувані асинхронні тригери. Принцип однотоктної синхронізації. Перекручування однотоктної синхронізації. Синтез схем з пам'яттю. Регістри в поведінковому VHDL. Функції фронту/спаду. Оператор WAIT. Змінні в процесі. Процес з регістром. Вставлення компоненту типу регістр. Приклад проектування схеми з пам'яттю.

Лекція 13. Проектування керування і керування проектуванням.

Концепція операційного і керуючого автоматів. Автомат Мура. Автомат Мілі. Приклад проектування автомата. Способи кодування станів автомата. Приклади проектування автомата. Приклад проектування лічильника на регістрі зсуву. Проектування складних автоматів.

Мікропрограмний автомат. Приклад проектування блоку обчислення спецфункції. Керування проектуванням. Атрибути керування синтезом. Атрибути обмеження розміщення. Атрибути ініціалізації. Обмеження часу.

Лекція 14. Програмування пам'яті.

Розподілена пам'ять. Регістр зсуву з регульовною затримкою. Блочна пам'ять. FIFO. Пам'ять з коректуючими кодами. Пам'ять з підвищеною ємністю. Програмування розподіленої пам'яті. Програмування BlockRAM. Ініціалізація RAM. Програмування постійної пам'яті.

Тема 3: Проектування конвеєрних обчислювачів.

Лекція 15. Періодичні алгоритми і конвейерні обчислювачі.

Прискорення обчислень за допомогою обробки даних на ПЛІС. Послідовна і паралельна обробка даних. Система на базі ПЛІС. Особливості конвейерної обробки даних. Відображення алгоритму в апаратуру. Періодичні алгоритми. Алгоритм, що заданий циклом. Граф періодичного алгоритму. Відображення графа періодичного алгоритму. Граф синхронних потоків даних (ГСПД, SDF). Неоднорідний і однорідний ГСПД. Редукований граф алгоритму. Сигнальний граф. Класифікація графів потоків даних.

Лекція 16. Проектування RISC-процесорів

Основи RISC-процесорів. Конвеєризація. Регістрова пам'ять. Виконання команд під час обробки команди переходу. Спрощена адресація. Простий формат команд. Мікропроцесорне ядро з лабораторних робіт. Приклад синтезу RISC-процесора. Приклад синтезу стекового RISC-процесора.

Лекція 17. Проектування спеціалізованих обчислювачів

Методика синтезу конвеєрного обчислювача. Оптимізація структури. Приклад синтезу блока для обчислення спецфункції. Конвейерне виконання алгоритму. Швидкодія ГСПД. Перетворення графа алгоритму в ациклічний ГСПД. Оптимізація графів алгоритму. Ресинхронізація. Розгортання ГСПД. Згортання ГСПД.

Лекція 18. Перспективи впровадження ПЛІС. Модульна контрольна робота.

Мови програмування для опису апаратури. Перспективи інтегральної технології. Перспективи ПЛІС.

Лабораторні роботи

Лабораторна робота 1.

Арифметико-логічний пристрій.

Лабораторна робота 2.

Лічильник команд

Лабораторна робота 3.

Оперативний запам'ятовуючий пристрій.

Лабораторна робота 4.

Регістрова пам'ять

Лабораторна робота 5.

Блок обчислення спецфункції.

Лабораторна робота 6.

Арифметичний пристрій.

Лабораторна робота 7.

Ядро мікропроцесора.

6. Самостійна робота студента

Самонавчання включає самостійну роботу студентів і полягає в наступному:

- підготовка до лекцій через вивчення попереднього лекційного матеріалу, а також літературних джерел, на яких ґрунтується матеріал попередніх лекцій (перелік джерел та перелік розділів подаються разом із матеріалом лекції);

- підготовка до лабораторної роботи шляхом ознайомлення із завданням та методичними вказівками до лабораторних робіт, включаючи вивчення теоретичного матеріалу, необхідного для відповіді на контрольні запитання до лабораторних робіт;

Кожна лабораторна робота вимагає для підготовки та виконання двох тижнів.

Політика та контроль

7. Політика навчальної дисципліни (освітнього компонента)

Система вимог до студентів:

- студент зобов'язаний відвідувати лекції та лабораторні заняття, активно працювати над засвоєнням викладеного на них матеріалу;

- на лекції лектор використовує власний презентаційний матеріал;

- лабораторні роботи захищаються у два етапи: перший етап - студенти виконують завдання, складають електронний звіт та надсилають викладачу; другий етап - захист лабораторних робіт у лабораторії. Контроль знань на лабораторних роботах здійснюється шляхом перевірки звіту про лабораторні роботи, а також питань з матеріалів робіт.

- модульна контрольна робота пишеться як тест на лекції з використанням усіх наявних матеріалів, але без використання комп'ютерних засобів.

8. Види контролю та рейтингова система оцінювання результатів навчання (PCO)

На першому занятті студенти знайомляться з політикою оцінювання, яка ґрунтується на Положенні про систему оцінювання результатів навчання https://document.kpi.ua/files/2020_1-273.pdf. Рейтинг студента на курсі складається з балів, які він/вона отримує за захищені лабораторні роботи (R1), контрольні роботи (R2) і насамкінець, відповіді на іспиті (R3).

$R_s = R_1 + R_2 + R_3 = 100$ балів

В результаті максимальний середній бал дорівнює:

7 лабораторних робіт x 7 балів = 49 балів

2 контрольні роботи = 11 балів

Відповіді на іспиті = 40 балів.

Згідно з університетськими правилами щодо моніторингу успішності студента (https://kpi.ua/document_control), існує два тижні оцінювання (атестація), зазвичай протягом 7/8 та 14/15 тижнів семестру, коли оцінюється прогрес у навчанні студентів та відповідність до критеріїв політики оцінювання курсу.

Умовою першої атестації є отримання не менше 10 балів (на момент атестації). Умова другої атестації - набрати не менше 25 балів (на момент атестації).

Критеріями оцінки є:

- Виконання лабораторних робіт:

- бездоганна робота оцінюється у 7 балів;
 - є певні недоліки в оформленій роботі - 6-5 балів;
 - є деякі недоліки у виконанні робочої програми - 4-3 бали;
- Робота не виконана або не захищена - 0 балів.

За роботу, подану вчасно, діє заохочення - 1 бал (сумарно не більше - 6 балів).

• Контрольна робота оцінюється 6 і 5 балами. Контрольна робота складається з 2 практичних задач зі списку, наведеного в додатку до робочої програми.

Відповідь на практичне завдання оцінюється 3 балами за такими критеріями:

- "відмінно" - правильний текст програми на VHDL з коментарями - 3 бали;
- "добре" - текст програми, загалом правильний, але є синтаксичні помилки - 2 бали;
- "задовільно" - є деякі принципові помилки в тексті програми - 1 бал;
- "незадовільно" - незадовільна відповідь - 0 балів.

Студенти можуть отримати до 6 заохочувальних балів за виконання творчих робіт з кредитного модуля (складання тез, участь у конкурсах, у дослідженнях тощо).

Студенти, чий остаточний бал успішності перевищує 30, повинні скласти іспит. Студенти, чий бал нижче 30, не допускаються до складання іспиту.

На іспиті студенти виконують письмовий тест. Кожне завдання містить два теоретичних питання (завдання) та одне практичне. Перелік питань наведено у Рекомендаціях щодо засвоєння кредитного модуля. Кожне теоретичне запитання (завдання) оцінюється 15 балами за такими критеріями:

- "відмінно", повна відповідь, не менше 90% необхідної інформації), виконана відповідно до вимог до рівня "кваліфікації" - 15-14 балів;
- «добре», достатньо повна відповідь, не менше 75% необхідної інформації, виконана відповідно до вимог до рівня кваліфікації або незначних неточностей - 13-11 балів;
- «задовільна», неповна відповідь, не менше 60% необхідної інформації, виконана відповідно до вимог до «стереотипного» рівня та деяких помилок - 10-8 балів;
- "незадовільно", відповідь не відповідає умовам "задовільно" - 0 балів.

Практичне завдання оцінюється на 10 балів за такими критеріями:

- "відмінно", повне, безпомилкове вирішення завдань - 10 балів;
- «добре», повне вирішення проблем з незначними неточностями або недоліками - 9-8 балів;
- «задовільно», завдання виконується з помилками - 7-5 балів;
- "незадовільно", відповідь не відповідає умовам "задовільно" - 0 балів.

Таблиця. Остаточна оцінка RS приймається за системою оцінювання університету

<i>Кількість балів</i>	<i>Оцінка</i>
100-95	Відмінно
94-85	Дуже добре
84-75	Добре
74-65	Задовільно
64-60	Достатньо
Менше 60	Незадовільно
Не виконані умови допуску	Не допущено

9. Додаткова інформація про курс

Завдання в контрольній роботі виглядають як наступні.

Побудувати часову діаграму сигналу, що генерується наступним процесом

```
process begin
```

```
A<='0';
```

```
wait for 10 ns;
```

```
A<='1';
```

```
B<=A;
```

```
wait for 20 ns;
```

```
end process;
```

2. Описати на VHDL мультиплексор MUX5 з однорозрядними входами даних A,B,C,D,E входом селекції S і виходом X за допомогою булевських рівнянь без використання бібліотеки IEEE. Скільки операторів NOT слід використати?

3. Описати на VHDL синхронний T – тригер з входами рахування T, синхросерії C, асинхронного встановлення в нуль R і виходом Q без використання бібліотеки IEEE. Скільки операторів if потрібно використати?

4. Розробити спецпроцесор, який виконує задану функцію за послідовним алгоритмом

$$Y1 = 0.98 \cdot X1 - 0.195 \cdot X2; \quad Y2 = 0.195 \cdot X1 + 0.98 \cdot X2;$$

Початкові дані X1, X2 – 16-розрядні в доповнюючому кодї, результати Y1, Y2 – 16-розрядні, приходять і виходять по окремих шинах.

Робочу програму навчальної дисципліни (силабус):

Складено д.т.н., с.н.с, А. М. Сергієнко

Ухвалено кафедрою обчислювальної техніки (протокол № 10 , від 25.05.2022)

Погоджено Методичною комісією ФІОТ (протокол № 10 , 13.06. 2022)